

**FILED WITH**

**JAPAN**

(3) Japanese Patent Application Laid-Open No. 1-197865 (1989)

“System Controller”

The following is an extract relevant to the present application.

5

This invention relates to a system controller of an electronic computer system, and more particularly, it relates to a bus-use right.

When bus access from a module with a low priority is rejected, the time is measured so as to preferentially grant bus access to that module if that module is not 10 awarded access for a predetermined time period or longer.

**COPY**

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

## ⑫ 公開特許公報 (A)

平1-197865

⑬ Int. Cl.  
G 06 F 13/26識別記号  
320庁内整理番号  
G-8840-5B

⑭ 公開 平成1年(1989)8月9日

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 システム制御装置

⑯ 特願 昭63-21333

⑰ 出願 昭63(1988)2月2日

⑱ 発明者 木内信宏 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
 ⑲ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号  
 ⑳ 代理人 弁理士 鈴木敏明

## 明細書

## 1. 発明の名称

システム制御装置

## 2. 特許請求の範囲

1. パスラインに複数のモジュールとともに接続し、それらのモジュールからのバス使用要求信号に対し、バス優先制御を行なうバスアービタが優先順位を割付けして上記モジュールにバス使用許可信号を送出するシステム制御装置において、

上記バス使用要求信号を入力し、優先順位の高いものから優先順位を割付けして出力する優先正順位割付部と、

上記バス使用要求信号を入力し、その信号毎に、その使用要求信号を発してからの時間と予め決めてセットした上記モジュールに対するタイム値とを比較してその両者が等しくなったときにタイムアウト信号を出力する時間監視部と、

上記タイムアウト信号に対応したバス使用要求信号を優先させ、そのうち優先順位の低いものから優先順位を割付けして出力する優先逆順位割付

部と、

上記優先正順位割付部と上記優先逆順位割付部との出力を入力し、優先逆順位割付部からの入力値を上記タイムアウト信号に基づきバス使用許可信号として送出する選択部とを上記バスアービタに備えたことを特徴とするシステム制御装置。

## 3. 発明の詳細な説明

## (産業上の利用分野)

この発明は、電子計算機システムのシステム制御装置について、特にバス使用権に関するものである。

## (従来の技術)

従来、パスラインに複数のモジュールとともに接続し、それらのモジュールからのバス使用要求信号に対し、バス優先制御を行なうシステム制御装置は種々開発されてきている。

第7図は、従来技術のシステム制御装置を示すプロック図であり、システム制御装置10はシステムの監視やバスの制御をする。バスアービタ20はシステム制御装置10に内蔵され单一のシ

COPY -423-

特開平1-197865(2)

システムバス10の使用許可制御を行い、モジュール30-1, 30-2, 30-3は中央処理装置や主記憶装置あるいはチャネル装置などであり、システムを構成しシステムバス10に接続されている。モジュールは本図のようになつて3つに限つたものではなく、システムによりその数は様々である。

第7図において、モジュール30-1, 30-2, 30-3がバス10を使用する場合、まずバスアービタ20に対してバス使用要求を行う。モジュール30-1, 30-2, 30-3は、バスアービタ20からバス使用許可が出された所で、始めてバス10を使用することが出来る。こうすることによって、複数モジュールによるバスの競合動作を制御している。

第8図は、この制御装置のバス使用要求信号(BREQ)、およびバス使用許可信号(BGNT)の詳細を説明するブロック図であり、バスアービタ20ではこれらバス使用要求に優先順位を付けて制御しており、本例では、若番のモジュールほど優先順位が高くなっているものとして話を進め

る。

次に作用について第9図に従つて説明する。

第9図は従来技術によるタイムチャートであり、時刻T<sub>1</sub>でモジュール30-1とモジュール30-2から、同時にバス使用要求信号BREQ<sub>1</sub>, BREQ<sub>2</sub>が出されている。

バスアービタ20はまず、優先順位の高いモジュール30-1に對してバス使用許可信号BGNT<sub>1</sub>を送出する。

モジュール30-1では、バス使用許可信号BGNT<sub>1</sub>を受けて、システムバス10にデータを送出し、目的とする相手モジュールとデータ転送を行う。モジュール30-3は、時刻T<sub>2</sub>でバス使用許可信号BGNT<sub>2</sub>が出されると、時刻T<sub>3</sub>でバス使用要求信号BREQ<sub>3</sub>をオフにするので、このときのバス使用要求は、モジュール30-2からのバス使用要求信号BREQ<sub>3</sub>が残っている。

この間、バス使用要求が保留されたモジュール30-2に對しては、時刻T<sub>4</sub>でバス使用許可信号BGNT<sub>3</sub>が出される。ここでモジュール30-2

は、モジュール30-1と同様にしてデータ転送を行うことができる。

時刻T<sub>1</sub>でモジュール30-3はバス使用要求信号BREQ<sub>3</sub>をオフにし、時刻T<sub>2</sub>でバスアービタ20はバス使用許可信号BGNT<sub>3</sub>をオフにする。

もっと多くのモジュールからのバス使用要求が同時に発生した場合でも、バスアービタ20は上記と同様な手順にて、若番のモジュールから順にバス使用許可を与えていく。

#### (発明が解決しようとする課題)

しかしながら、従来の方法では、バス使用優先順位の高いモジュールが連続してバス使用要求を出した場合、バス使用優先順位の低いほうのモジュールはいつになってもバス使用許可が取れず、永遠に待たざるといふ問題点があった。

第10図は3つ以上のモジュールがある場合のバス使用権のタイムチャートであり、上記問題点を説明する図面である。第10図において、3つのモジュールモ<sub>1</sub>, モ<sub>2</sub>, モ<sub>3</sub>が同時にバス使用要求信号BREQ<sub>1</sub>, BREQ<sub>2</sub>, BREQ<sub>3</sub>を出し、

且つ、同各モジュールのバス使用要求信号が連続して発生する場合、1サイクルおきにモジュールモ<sub>1</sub>とモジュールモ<sub>3</sub>へのバス使用許可信号BGNT<sub>1</sub>, BGNT<sub>3</sub>が連続し、モジュールモ<sub>2</sub>へはいつになってもバス使用許可信号BGNT<sub>2</sub>が出されず、データ転送ができない状態が続く。

たとえば、このモジュールモ<sub>3</sub>が磁気ディスク装置や、通信回線制御装置などの場合には、リードデータや受信データにオーバランが発生し、リード動作のリトライや通信データの再送等のために、システムの処理性能が著しく低下することになりかねない。

#### (課題を解決するための手段)

本発明は上記問題点を解決するためにバスラインに複数のモジュールとともに接続し、これらのモジュールからのバス使用要求信号に対し、バス優先制御を行つバスアービタが優先順位を割付けし上記モジュールにバス使用許可信号を送出するシステム制御装置において、バス使用要求信号を入力し、優先順位の高いものから優先順位を割

特開平1-197865(3)

付けして出力する優先正順位割付部と、バス使用要求信号を入力し、その信号毎に、その使用要求信号を発してからの時間と予め決めてセットした各モジュールに対するタイム値とを比較してその両者が等しくなったときにタイムアウト信号を出力する時間監視部と、タイムアウト信号に対応したバス使用要求信号を優先させ、そのうち優先順位の低いものから優先順位を割付けして出力する優先逆順位割付部と、優先正順位割付部と優先逆順位割付部との出力を入力し、優先逆順位割付部からの入力値をタイムアウト信号に基づきバス使用許可信号として送出する選択部とをバスアービタリに備えたものである。

## (作用)

本発明によれば、以上のようにシステム制御装置を構成したので、タイムアウト信号がないときは選択部が優先正順位割付部の出力をバス使用許可信号として出し、タイムアウト信号があるときは選択部が優先逆順位割付部の出力をバス使用許可信号として送出する。

… BREQ<sub>n</sub> が同時に入力した場合、常に優先順位を若番順である正順位に割付けして出力 B<sub>1</sub> , B<sub>2</sub> , … B<sub>n</sub> を送出する。タイム監視回路 200 は第 2 図に示すようにバス使用要求信号 BREQ<sub>1</sub> , BREQ<sub>2</sub> , … BREQ<sub>n</sub> に対する回路 200-1 , 200-2 , … 200-n と回路 200-1 , 200-2 , … 200-n からの出力の論理和をとる OR 回路 600 とからなる。回路 200-1 はレジスタ 201-1 , カウンタ 202-1 , フリップフロップ 203-1 , AND 回路 204-1 からなり、回路 200-2 , … 200-n もそれぞれ同様の回路部品からなるので回路 200-1 にてタイム監視回路 200 の説明をする。レジスタ 201-1 は図示せぬ制御部より任意の値に設定でき、その制御部からプリセットデータ PD とセット信号 CTSET とを受けるとプリセットデータ PD を受け入れ保持すると同時にカウンタ 202-1 の入力端子 D に送出する。カウンタ 202-1 はロード端子 LD およびイネーブル端子 E が “0” のとき入力端子 D の状態をプリセットカウント値として内部にセットする。又、ロード

## (実施例)

本発明の一実施例について図面を参照しながら説明する。

なお、各図面に共通な記号には同一符号を付す。第 1 図は本発明の実施例を示すブロック図であり、第 2 図は第 1 図のタイム監視回路の詳細図であり、第 3 図は第 1 図の優先正順位割付回路の詳細図であり、第 4 図は第 1 図の優先逆順位割付回路の詳細図であり、第 5 図は第 1 図のセレクタ回路の詳細図である。第 1 図において、バス使用要求信号 BREQ<sub>1</sub> , BREQ<sub>2</sub> , … BREQ<sub>n</sub> 及びバス使用許可信号 BGNT<sub>1</sub> , BGNT<sub>2</sub> , … BGNT<sub>n</sub> はそれぞれ第 8 図に示したバス使用要求信号、バス使用許可信号に相当する。バス使用要求信号 BREQ<sub>1</sub> , BREQ<sub>2</sub> , … BREQ<sub>n</sub> は時間監視部としてのタイム監視回路 200 と優先正順位割付部としての優先正順位割付回路 300 とに入力される。優先正順位割付回路 300 は第 3 図に示すように AND 回路 300-1 , 300-2 , … 300-n からなり、バス使用要求信号 BREQ<sub>1</sub> , BREQ<sub>2</sub> ,

端子 LD 及びイネーブル端子 E が “1” のとき、図示せぬ制御部からのクロック入力端子 CK へのクロックパルスの立ち上がり毎に計数する。カウンタ 202-1 のキャリー出力端子 CY からフリップフロップ 203-1 のセット端子 S に “1” が入力されると、出力端子 Q を “1” にセットするとともにリセット端子 R に後述するリセット信号が入力されるまで保持し続ける。AND 回路 204-1 はバス使用要求信号 BREQ<sub>1</sub> とフリップフロップ 203-1 からの出力の反転値との論理積をとて、その出力値をカウンタ 202-1 のロード端子 LD とイネーブル端子 E とに出力する。回路 200-1 , 200-2 , … 200-n からの出力はタイムアウト信号 A<sub>1</sub> , A<sub>2</sub> , … A<sub>n</sub> として優先逆順位割付回路 400 へ出力される。又、タイムアウト信号 A<sub>1</sub> , A<sub>2</sub> , … A<sub>n</sub> は OR 回路 600 で論理和をとったのち後述するセレクタ回路へ入力選択信号 XCH として出力される。優先逆順位割付部としての優先逆順位割付回路 400 は第 4 図に示すように AND 回路 400-1 , … , 400-(n-2) , 400-(n-1)

特開平1-197865(4)

からなり、タイムアウト信号  $A_1, \dots, A_{n-1}, A_n$  が同時に入力した場合は、常に優先順位を若番順の逆である逆順位に割付けして出力  $C_1, \dots, C_{n-2}, C_{n-1}, C_n$  を出力する。選択部としてのセレクタ回路 500 は第 5 図に示すように AND 回路  $500-B_1, 500-B_2, \dots, 500-B_n, 500-C_1, 500-C_2, \dots, 500-C_n$  と OR 回路  $501-1, 501-2, \dots, 501-n$  とインバータ回路 502 とからなる。AND 回路  $500-B_1, 500-B_2, \dots, 500-B_n$  は優先正順位割付回路 300 からの出力  $B_1, B_2, \dots, B_n$  と前述した入力選択信号 XCH をインバータ回路 502 で反転させた出力との論理積をとって出力し、AND 回路  $500-C_1, 500-C_2, \dots, 500-C_n$  は優先逆順位割付回路 400 からの出力  $C_1, C_2, \dots, C_n$  と入力選択信号 XCH との論理積をとって出力する。OR 回路  $501-1$  は AND 回路  $500-B_1$  及び  $500-C_1$  の論理和をとり、OR 回路  $501-2$  は AND 回路  $500-B_2$  及び  $500-C_2$  からの出力信号の論理和をとり、以下同様にして続き最後の OR 回路  $501-n$

は AND 回路  $500-B_n$  及び  $500-C_n$  の論理和をとってそれぞれバス使用許可信号  $BGNT_1, BGNT_2, \dots, BGNT_n$  として出力する。又、バス使用許可信号  $BGNT_1, BGNT_2, \dots, BGNT_n$  はタイマ監視回路 200 へリセット信号として出力される。

次に作用について第 6 図に従って説明する。

第 6 図は本実施例の回路動作を現わすタイムチャートである。第 6 図では時刻  $T_1$  で 3 つのモジュール 30-1, 30-2, 30-3 から同時にバス使用要求信号  $BREQ_1, BREQ_2, BREQ_3$  が出されているところを示している。バスアービタ 20 は第 1 図及び第 3 図に示した優先正順位割付回路 300 によって、最初のバス使用要求信号  $BREQ_1, BREQ_2$  に對して順に時刻  $T_1, T_2$  でバス使用許可信号  $BGNT_1, BGNT_2$  を送出する。ところでバス使用許可信号  $BGNT_3$  を送出している時刻  $T_3$  と  $T_4$  の間でモジュール 30-1 から次のバス使用要求信号  $BREQ_3$  が出されたので、モジュール 30-3 からバス使用要求信号

$BREQ_3$  が送出しているにもかかわらず、優先順位の高いバス使用要求信号  $BREQ_1, BREQ_2$  に對して時刻  $T_4$  でバス使用許可信号  $BGNT_1$  が送出される。このように、モジュール 30-1 及び 30-2 が連続してバス使用要求信号  $BREQ_1, BREQ_2$  を出し続けるので、バス使用許可信号  $BGNT_1, BGNT_2$  はモジュール 30-1 及び 30-2 に順に送出されていく。他方第 1 図に示したタイマ監視回路 200 では、この間出力され続けているモジュール 30-3 からのバス使用要求信号  $BREQ_3$  の送出されてからの時間を計数している。第 2 図に示したバス使用要求信号  $BREQ_3$  に對する回路 200-1 をバス使用要求信号  $BREQ_3$  に對する回路 200-3 として説明する。フリップフロップ 203-3 の初期状態はリセットされており、出力端子 Q からのタイムアウト信号  $A_3 = "0"$  である。この状態で AND 回路 204-3 の入力側にはタイムアウト信号 "0" の反転値 "1" とバス使用要求信号  $BREQ_3 = "0"$  とが入力されているので出力側には "0" が出力されている。この結果、カウンタ 203-

3 はレジスタ 201-3 からプリセットデータ P.D. をセットした状態になっている。時刻  $T_4$  でバス使用要求信号  $BREQ_3$  は "1" となるので AND 回路 204-3 の出力側は "1" となり、ロード端子 LD 及びイネーブル端子 E に "1" が入力されて図示せぬ制御部からのクロックパルスに同期して計数を開始する。時刻  $T_5$  でキャリー出力端子 CY から "1" を出力すると、フリップフロップ 203-3 はセット端子 S が "1" となり、次いで出力端子 Q が "1" に保持されて、タイマ監視回路 200 からタイムアウト信号  $A_3 = "1"$  として優先逆順位割付回路 400 へ出力される。同時に OR 回路 600 の出力側からの入力選択信号 XCH は "1" となる。優先逆順位割付回路 400 ではタイムアウト信号  $A_3$  を最優先として出力側から出力信号  $C_3 = "1"$  を送出する。セレクタ回路 500 は入力選択信号  $XCH = "1"$  とインバータ回路 502 とによって入力側を優先逆順位割付回路 400 からの出力を有効として選択する。従って出力信号  $C_3$  を最優先としてバスアービタ 20 は時刻  $T_5$  でバス使用許

## 特開平1-197865(5)

可信号 BGNT<sub>1</sub> をモジュール 30-1 へ送出する。バス使用許可信号 BGNT<sub>2</sub> が送出されると時刻 T<sub>1</sub> でフリップフロップ 203-3 はリセットされ出力端子 Q は "0" となる。同時にセレクタ回路 500 への入力選択信号 XCH も "0" となり、セレクタ回路 500 はインバータ回路 502 を介して優先正順位割付回路 300 からの出力を有効として入力する。次に時刻 T<sub>2</sub> と T<sub>3</sub> の間にバス使用要求信号 BREQ<sub>1</sub> を出していったモジュール 30-1 へバス使用許可信号 BGNT<sub>1</sub> が送出される。

## (発明の効果)

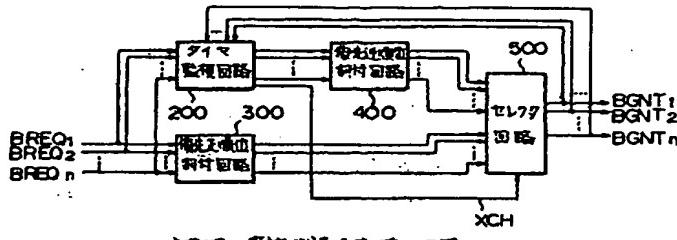
以上詳細に説明したように本発明によれば複数のモジュールからのバス使用要求信号に対し、バス優先割りを行なうバスアービタが優先順位を割り当ててバス使用許可信号を送出するシステム割り振り装置において、低バス使用優先順位のモジュールに対しても、一定時間以上バス使用権が獲得出来ない場合は、優先正順位に依るところなく優先的にバス使用許可を与えるようにしたので、低位の

モジュールにおいても効率の良いデータ転送が可能であり、オーバランなどのデータ転送障害を防止することができる。

また、使用要求の監視時間をモジュール毎に設定出来るため、システムの構成や、各モジュールの転送能力に応じて最適化することができ、各モジュールの性能を最大限に引き出したシステム構築をすることが可能である。

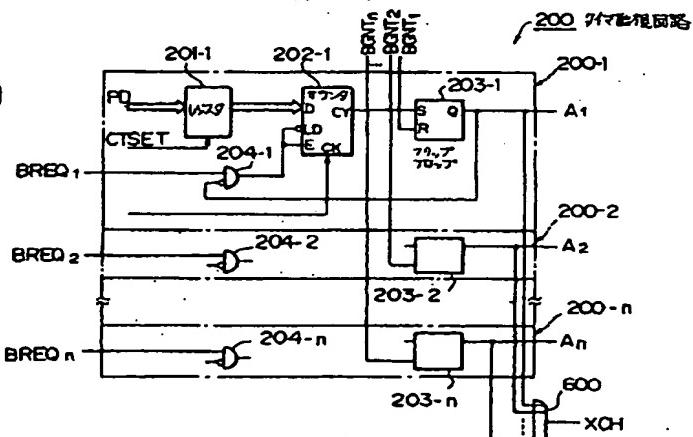
## 4. 図面の簡単な説明

第1図は本発明の実施例を示すブロック図、第2図はタイム監視回路の詳細図、第3図は優先正順位割付回路の詳細図、第4図は優先逆順位割付回路の詳細図、第5図はセレクタ回路の詳細図、第6図は本実施例の回路動作を現わすタイムチャート、第7図は従来技術のシステム割り振り装置を示すブロック図、第8図はバス使用の要求及び許可信号の詳細を示すブロック図、第9図は従来技術によるタイムチャート、第10図は3つ以上のモジュールがある場合のバス使用権のタイムチャートである。



本発明の実施例を示すブロック図

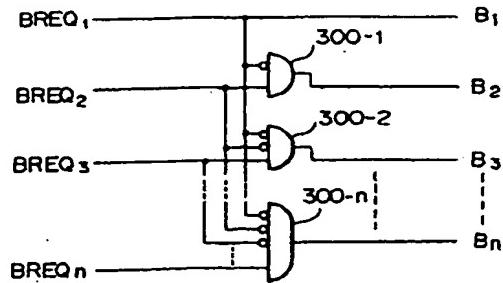
第1図



タイム監視回路の詳細図

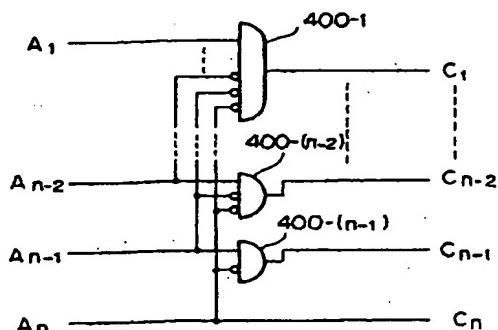
第2図

特開平1-197865(6)



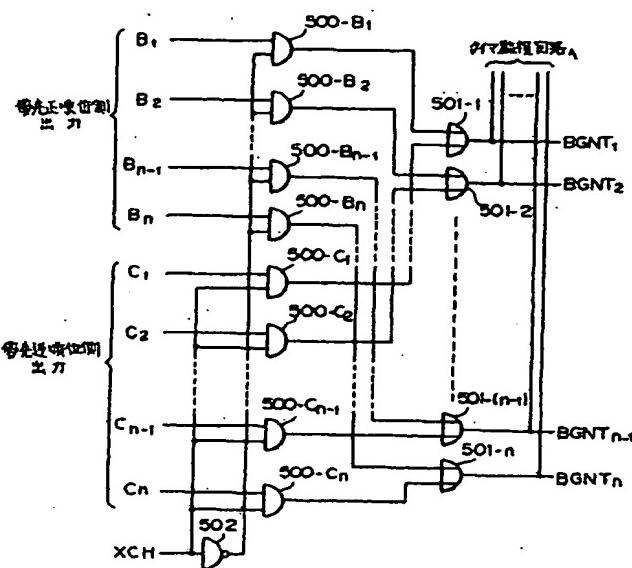
優先順位検出回路の詳細図

第3図



優先順位検出回路の詳細図

第4図

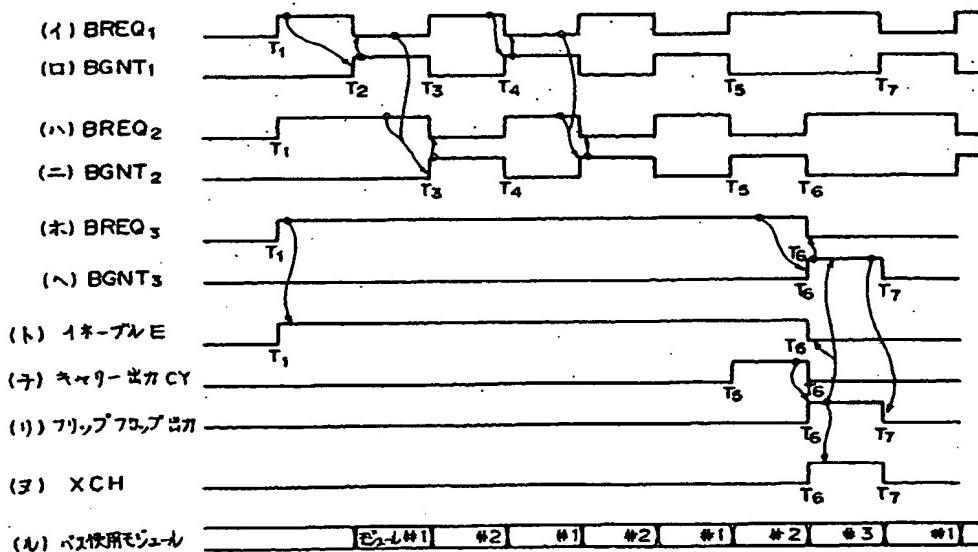


セレクタ回路の詳細図

第5図

優先順位検出回路の詳細図

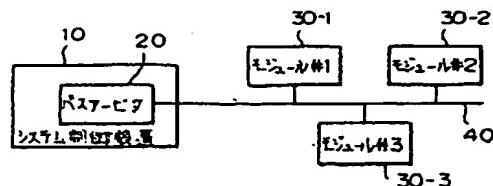
第4図



本実施例の回路動作を現すタイムチャート

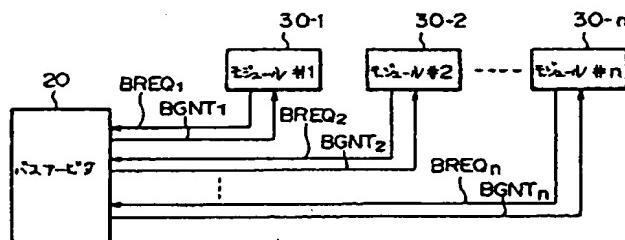
第6図

特開平1-197865(7)



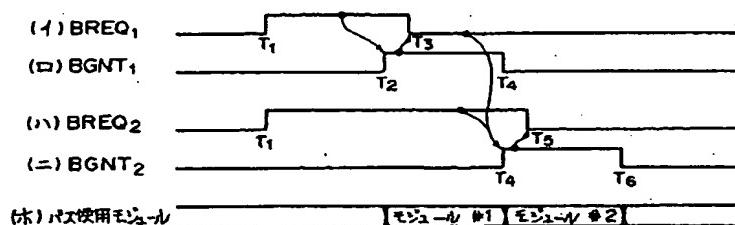
從參接平行のシステム制御装置を示すブロック図

第7図



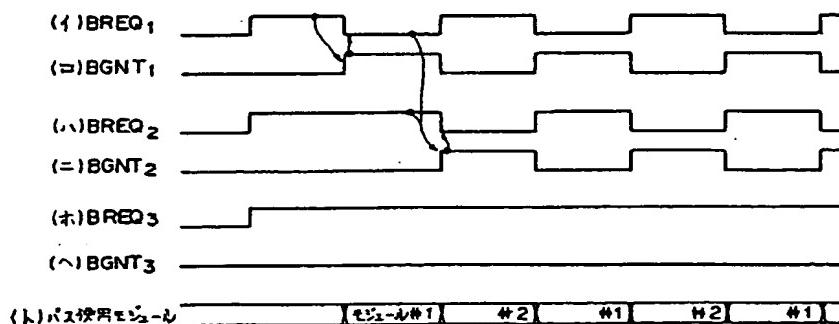
バス使用の要求及び許可信号の詳細を示すブロック図

第8図



從參接平行によるタイムチャート

第9図



3つ以上のモジュールがある場合のバス使用権のタイムチャート

第10図